

SWITCH ATTENUATOR

Patent Number: JP9270659
Publication date: 1997-10-14
Inventor(s): NAKATSUKA TADAYOSHI
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: JP9270659
Application Number: JP19970015766 19970129
Priority Number(s):
IPC Classification: H03H7/25; H01P1/15; H01P1/22; H03G3/10; H04B1/44
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain the inexpensive attenuator with a small size and a light weight used for a high frequency transmission reception circuit by devising the switch attenuator to be electrically controlled.

SOLUTION: The attenuation of the switch attenuator 40 is changed continuously by varying a control voltage of a switching element. That is, in the mode 2, the attenuation is changed while satisfying a relation of $ZT1=ZT2=Z0$ substantially, where the impedance $ZT1$ is an impedance of the switch attenuator 40 when viewing the switch attenuator 40 from a node T1, the impedance $ZT2$ is an impedance of the switch attenuator 40 when viewing the switch attenuator 40 from a node T2, and the impedance $Z0$ is a characteristic impedance of a circuit connecting to the outside of the switch attenuator 40. Similarly in the mode 4, the attenuation is changed while satisfying a relation of $ZT1=ZT3=Z0$ substantially, where the impedance $ZT3$ is an impedance of the switch attenuator 40 when viewing the switch attenuator 40 from a node T3.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270659

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 H	7/25		H 0 3 H	7/25
H 0 1 P	1/15		H 0 1 P	1/15
	1/22			1/22
H 0 3 G	3/10		H 0 3 G	3/10
H 0 4 B	1/44		H 0 4 B	1/44
				A
審査請求 未請求 請求項の数10 O L (全 15 頁)				

(21) 出願番号 特願平9-15766

(22) 出願日 平成9年(1997)1月29日

(31) 優先権主張番号 特願平8-14940

(32) 優先日 平8(1996)1月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中塚 忠良

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

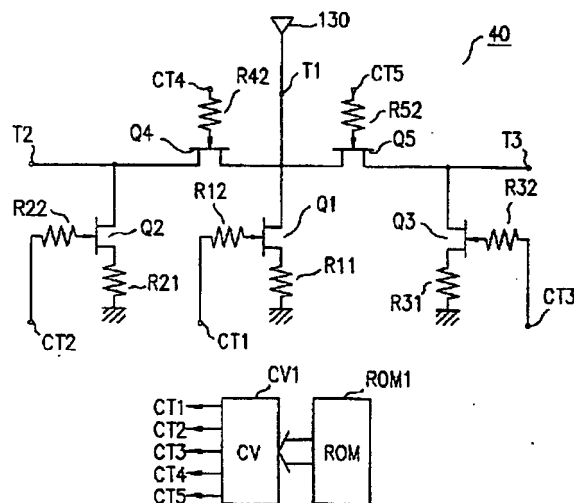
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 スイッチアッテネータ

(57) 【要約】

【課題】 高周波機器に使用される高周波スイッチおよびアッテネータ回路において、機器の小型化、低コスト化を実現する。

【解決手段】 第1状態において、第1端子は、第2端子に接続され、第1端子は、第3端子から遮断され、第3端子は、グラウンドに接続され、第1端子からみたインピーダンス Z_1 が第2端子からみたインピーダンス Z_2 に実質的に等しい関係を維持しつつ、第1端子および第2端子の間の減衰量を変化させるように、スイッチアッテネータは電氣的に制御可能であり、第2状態において、第1端子は、第3端子に接続され、第1端子は、第2端子から遮断され、第2端子は、グラウンドに接続され、第1端子からみたインピーダンス Z_1 が第3端子からみたインピーダンス Z_3 に実質的に等しい関係を維持しつつ、第1端子および第3端子の間の減衰量を変化させるように、スイッチアッテネータは電氣的に制御可能である。



該第2端子は、グラウンドに接続され、
 該第1端子は、該第2端子、該第3端子、該第4端子および該グラウンドから遮断され、
 該第4端子からみたインピーダンス Z_4 が該第3端子からみたインピーダンス Z_3 に実質的に等しい関係を維持しつつ、該第4端子および該第3端子の間の減衰量を変化させるように、該スイッチアッテネータは電氣的に制御可能であるスイッチアッテネータ。
 【請求項6】 第1トランジスタが、前記第1端子とグラウンドとの間に設けられ、
 第2トランジスタが、前記第2端子とグラウンドとの間に設けられ、
 第3トランジスタが、前記第3端子とグラウンドとの間に設けられ、
 第4トランジスタが、該第1端子と該第2端子との間に設けられ、
 第5トランジスタが、該第1端子と該第3端子との間に設けられ、
 第6トランジスタが、前記第4端子とグラウンドとの間に設けられ、
 第7トランジスタが、該第2端子と該第4端子との間に設けられ、
 第8トランジスタが、該第3端子と該第4端子との間に設けられ、
 前記第1状態において、
 該第3トランジスタは、オン状態であり、
 該第5トランジスタ、該第6トランジスタ、該第7トランジスタおよび該第8トランジスタは、オフ状態であり、
 前記第2状態において、
 該第2トランジスタは、オン状態であり、
 該第4トランジスタ、該第6トランジスタ、該第7トランジスタおよび該第8トランジスタは、オフ状態であり、
 前記第3状態において、
 該第3トランジスタは、オン状態であり、
 該第1トランジスタ、該第4トランジスタ、該第5トランジスタおよび該第8トランジスタは、オフ状態であり、
 前記第4状態において、
 該第2トランジスタは、オン状態であり、
 該第1トランジスタ、該第4トランジスタ、該第5トランジスタおよび該第7トランジスタは、オフ状態である、請求項5に記載のスイッチアッテネータ。
 【請求項7】 前記インピーダンス Z_1 および Z_4 は、 $0.5 \times Z_A \sim 2.0 \times Z_A$ の範囲に実質的に含まれ、前記インピーダンス Z_2 は、 $0.5 \times Z_T \sim 2.0 \times Z_T$ の範囲に実質的に含まれ、前記インピーダンス Z_3 は、 $0.5 \times Z_R \sim 2.0 \times Z_R$ の範囲に実質的に含まれ、

ここで Z_A 、 Z_T および Z_R は、それぞれ前記アンテナ、前記送信機および前記受信機のインピーダンスを表す請求項5に記載のスイッチアッテネータ。

【請求項8】 半導体基板上に集積化されて形成されている請求項1から請求項7のいずれかに記載のスイッチアッテネータ。

【請求項9】 電力増幅器をさらに備えており、該電力増幅器は、前記半導体基板上に集積化されて形成されている請求項8に記載のスイッチアッテネータ。

10 【請求項10】 低雑音増幅器をさらに備えており、該低雑音増幅器は、前記半導体基板上に集積化されて形成されている請求項9に記載のスイッチアッテネータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高周波送受信回路に使用される高周波スイッチおよび高周波アッテネータを含むスイッチアッテネータに関する。また本発明は、このスイッチアッテネータを実現する半導体デバイスと、この半導体デバイスを用いた高周波機器とも関する。

20 【0002】

【従来の技術】図1は、従来の技術による送受信回路の高周波（以下「RF」とする）部10を示すブロック図である。送受信回路のRF部10は、RFスイッチ120を備えており、これにより送信および受信を選択的にこなう。送信時には、変調信号入力端子（MOD in）110において入力された信号は、周波数変換器（以下「ミキサ」とする）112、可変利得増幅器（以下「AGCアンプ」とする）114、電力増幅器（PA）116、RFスイッチ（RF SW）120および周波数フィルタ122を通してアンテナ130から空間へ輻射される。

30 【0003】逆に受信時には、アンテナ130において受け取られた信号は、周波数フィルタ122、RFスイッチ120、減衰器150、低雑音増幅器（LNA）152およびミキサ154を通して中間周波（以下「IF」とする）信号出力端子（IF out）156から出力される。

【0004】送受信いずれの場合も、フェーズロックドループ（以下「PLL」とする）170および発振器172は、所望の周波数をもつ局部発振信号を発生し、信号分配器（DIV）174に出力する。ミキサ112は、変調信号および局部発振信号を混合することによって、RF信号を生成し、AGCアンプ114に出力する。ミキサ154は、RF信号および局部発振信号を混合することによって、IF信号を生成し、IF信号出力端子156に出力する。

40 【0005】図1のRF部10の動作を以下に説明する。RF部10は、例えば携帯電話の端末機に代表される移動体通信機の一部である。移動体通信機においては、機器構成の簡略化のために、比較的、大きな体積を

まれ、前記インピーダンス Z_2 は、 $0.5 \times Z_T \sim 2.0 \times Z_T$ の範囲に実質的に含まれ、前記インピーダンス Z_3 は、 $0.5 \times Z_R \sim 2.0 \times Z_R$ の範囲に実質的に含まれ、ここで Z_A 、 Z_T および Z_R は、それぞれ前記アンテナ、前記送信機および前記受信機のインピーダンスを表す。

【0015】ある実施形態では、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタおよび前記第5トランジスタのそれぞれは、ドレインと、ソースと、2つのゲートとを有するデュアルゲート電界効果トランジスタであり、該2つのゲートの一方のゲートは、該ドレインに接続されており、該2つのゲートの他方のゲートは、該ソースに接続されており、該2つのゲートは、それぞれ抵抗を介して電気的な制御のための電圧を受け取る。

【0016】本発明によるスイッチアッテネータは、第1アンテナに接続される第1端子と、送信機に接続される第2端子と、受信機に接続される第3端子と、第2アンテナに接続される第4端子とを備え、第1状態、第2状態、第3状態および第4状態を切り替えるスイッチアッテネータであって、該第1状態においては、該第1端子は、該第2端子に接続され、かつ該第3端子から遮断され、該第3端子は、グラウンドに接続され、該第4端子は、該第1端子、該第2端子、該第3端子および該グラウンドから遮断され、該第1端子からみたインピーダンス Z_1 が該第2端子からみたインピーダンス Z_2 に実質的に等しい関係を維持しつつ、該第1端子および該第2端子の間の減衰量を変化させるように、該スイッチアッテネータは電氣的に制御可能であり、該第2状態においては、該第1端子は、該第3端子に接続され、かつ該第2端子から遮断され、該第2端子は、グラウンドに接続され、該第4端子は、該第1端子、該第2端子、該第3端子および該グラウンドから遮断され、該第1端子からみたインピーダンス Z_1 が該第3端子からみたインピーダンス Z_3 に実質的に等しい関係を維持しつつ、該第1端子および該第3端子の間の減衰量を変化させるように、該スイッチアッテネータは電氣的に制御可能であり、該第3状態においては、該第4端子は、該第2端子に接続され、かつ該第3端子から遮断され、該第3端子は、グラウンドに接続され、該第1端子は、該第2端子、該第3端子、該第4端子および該グラウンドから遮断され、該第4端子からみたインピー

ダンス Z_4 が該第3端子からみたインピーダンス Z_3 に実質的に等しい関係を維持しつつ、該第4端子および該第3端子の間の減衰量を変化させるように、該スイッチアッテネータは電氣的に制御可能であり、そのことにより上記目的が達成される。

【0017】ある実施形態では、第1トランジスタが、前記第1端子とグラウンドとの間に設けられ、第2トランジスタが、前記第2端子とグラウンドとの間に設けられ、第3トランジスタが、前記第3端子とグラウンドとの間に設けられ、第4トランジスタが、該第1端子と該第2端子との間に設けられ、第5トランジスタが、該第1端子と該第3端子との間に設けられ、第6トランジスタが、前記第4端子とグラウンドとの間に設けられ、第7トランジスタが、該第2端子と該第4端子との間に設けられ、第8トランジスタが、該第3端子と該第4端子との間に設けられ、前記第1状態において、該第3トランジスタは、オン状態であり、該第5トランジスタ、該第6トランジスタ、該第7トランジスタおよび該第8トランジスタは、オフ状態であり、前記第2状態において、該第2トランジスタは、オン状態であり、該第4トランジスタ、該第6トランジスタ、該第7トランジスタおよび該第8トランジスタは、オフ状態であり、前記第3状態において、該第3トランジスタは、オン状態であり、該第1トランジスタ、該第4トランジスタ、該第5トランジスタおよび該第8トランジスタは、オフ状態であり、前記第4状態において、該第2トランジスタは、オン状態であり、該第1トランジスタ、該第4トランジスタ、該第5トランジスタおよび該第7トランジスタは、オフ状態である。

【0018】ある実施形態では、前記インピーダンス Z_1 および Z_4 は、 $0.5 \times Z_A \sim 2.0 \times Z_A$ の範囲に実質的に含まれ、前記インピーダンス Z_2 は、 $0.5 \times Z_T \sim 2.0 \times Z_T$ の範囲に実質的に含まれ、前記インピーダンス Z_3 は、 $0.5 \times Z_R \sim 2.0 \times Z_R$ の範囲に実質的に含まれ、ここで Z_A 、 Z_T および Z_R は、それぞれ前記アンテナ、前記送信機および前記受信機のインピーダンスを表す。

【0019】ある実施形態では、半導体基板上に集積化されて形成されている。

【0020】ある実施形態では、電力増幅器をさらに備えており、該電力増幅器は、前記半導体基板上に集積化されて形成されている。

【0021】ある実施形態では、低雑音増幅器をさらに備えており、該低雑音増幅器は、前記半導体基板上に集積化されて形成されている。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。同じ参照符号は、同じ構成要素を表す。

【0023】本明細書における「スイッチアッテネー

モード2：減衰ありの送信、

モード3：減衰なしの受信、および

モード4：減衰ありの受信

である。ここで「減衰」とは、ノードT1と、ノードT2またはノードT3との間における減衰をいう。例えばモード1においては、ノードT1およびノードT2の間の減衰が存在しない。モード1は、RF部30を含む移動端末機が基地局から離れている場合、つまり電力増幅器116から出力されたRF信号を減衰させることなくアンテナ130に供給する場合に用いられる。モード2は、逆にRF部30を含む移動端末機が基地局に近い場合、つまり電力増幅器116から出力されたRF信号を減衰させてからアンテナ130に供給する場合に用いられる。送信の場合と同様のことが受信の場合にもあてはまる。モード3は、RF部30を含む移動端末機が基地局から離れている場合、つまりアンテナ130から入力されたRF信号を減衰させることなく低雑音増幅器15*

*2に供給する場合に用いられる。モード4は、逆にRF部30を含む移動端末機が基地局に近い場合、つまりアンテナ130から入力されたRF信号を減衰させてから低雑音増幅器152に供給する場合に用いられる。

【0033】本発明のスイッチアッテネータ40は、後述するようにモード2およびモード4において、スイッチング素子（ここではFET）の制御電圧を変化させることによって、スイッチアッテネータ40の減衰量を連続的に変化させることができる。その結果、本発明のスイッチアッテネータは、送信時の出力電力、および受信時の入力電力が広いレンジをとりうる移動通信において大きな効果を奏する。

【0034】（モード1）モード1におけるスイッチアッテネータ40のFET Q1～Q5の状態を表1に示す。

【0035】

【表1】

FET	Q1	Q2	Q3	Q4	Q5
状態	オフ	オフ	オン	オン	オフ

【0036】スイッチアッテネータ40のモード1を実現するためには、FET Q1～Q5を表1に示す状態に設定する、それぞれの状態に対応する制御電圧をノードCT1～CT5に印加すればよい。前述したように、FET Q1～Q5をオン状態にするためには、例えば0[V]以上の電圧をそれぞれのゲートに加えればよく、FET Q1～Q5をオフ状態にするためには、例えばVTH[V]以下の電圧をそれぞれのゲートに加えればよい。

【0037】図5は、モード1におけるスイッチアッテネータ40の等価回路図である。図5において、閉じたスイッチはオン状態のFETを表し、開いたスイッチはオフ状態のFETを表す。モード1においては図5に示すように、ノードT1はほぼインピーダンスがゼロでノードT2に接続され、ノードT3はほぼインピーダンスがゼロでグラウンドに接続され、ノードT3は、ノードT1およびノードT2から遮断されている。したがって※

※モード1においては、電力増幅器116から出力されたRF信号は、ノードT2において受け取られ、減衰されることなくFET Q4およびノードT1を通してアンテナ130に供給される。また低雑音増幅器152への入力端子であるノードT3は、FET Q3によってグラウンドに接続され、それにより不要なRF信号が低雑音増幅器152へ入力されることを防ぐ。

【0038】モード1におけるスイッチアッテネータ40の挿入損失は、FET Q4のオン状態のインピーダンス（つまりオン抵抗に相当するインピーダンス）に起因する約0.5dBだけである。

【0039】（モード2）モード2におけるスイッチアッテネータ40のFET Q1～Q5の状態を表2に示す。

【0040】

【表2】

FET	Q1	Q2	Q3	Q4	Q5
状態	中間	中間	オン	中間	オフ

【0041】スイッチアッテネータ40のモード2を実現するためには、FET Q1～Q5を表2に示す状態に設定する、それぞれの状態に対応する制御電圧をノードCT1～CT5に印加すればよい。モード2およびモード4においては、FETを中間状態で用いる。FET Q1～Q5を中間状態にするためには、ゲート・ソース間電圧Vgsとして、 $0 < V_{gs} < V_{TH}$ なる電圧をそれぞれのゲートに加えればよい。

【0042】図6は、モード2におけるスイッチアッテ

ネータ40の等価回路図である。図6において、閉じたスイッチはオン状態のFETを表し、開いたスイッチはオフ状態のFETを表し、抵抗は中間状態のFETを表す。以下、中間状態のFET Q1～Q5のインピーダンスを、それぞれZQ1～ZQ5のように表すことにする。モード2においては図6に示すように、ノードT1はインピーダンスZQ4でノードT2に接続され、インピーダンスZQ1でグラウンドに接続される。ノードT2はインピーダンスZQ2でグラウンドに接続される。

【0054】第1の実施の形態によればモード2において、実質的に $ZT1 = ZT2 = Z0$ なる関係を満たしたまま減衰量を変化させることができる。ここでインピーダンス $ZT1$ は、ノードT1から見たスイッチアッテネータ40のインピーダンスを表し、インピーダンス $ZT2$ は、ノードT2から見たスイッチアッテネータ40のインピーダンスを表し、インピーダンス $Z0$ は、外部に接続された回路の特性インピーダンス（例えば50Ω）を表す。同様に第1の実施の形態によればモード4において、実質的に $ZT1 = ZT3 = Z0$ なる関係を満たしたまま減衰量を変化させることができる。ここでインピーダンス $ZT3$ は、ノードT3から見たスイッチアッテネータ40のインピーダンスを表す。

【0055】また上記 $ZT1 = ZT2 = Z0$ および $ZT1 = ZT3 = Z0$ なる関係が満たされなくとも、
 $0.5 \times ZA \leq ZT1 \leq 2.0 \times ZA$ 、
 $0.5 \times ZT \leq ZT2 \leq 2.0 \times ZT$ 、および
 $0.5 \times ZR \leq ZT3 \leq 2.0 \times ZR$ 、
 という関係が満たされることが好ましい。ここでインピーダンス ZA は、ノードT1に接続される回路（ここではアンテナ130）の特性インピーダンスを表し、インピーダンス ZT は、ノードT2に接続される回路（ここでは電力増幅器116）の特性インピーダンスを表し、インピーダンス ZR は、ノードT3に接続される回路（ここでは低雑音増幅器152）の特性インピーダンスを表す。

【0056】図9は、半導体基板上に集積化して形成された本発明のスイッチアッテネータ40の平面図である。図9に示すようにスイッチアッテネータ40は、ガリウムヒ素（以下「GaAs」とする）基板901上に集積化されて形成されている。図9の「GND」は、グラウンドを表し、他の参照符号は図4のなかのそれらと対応する。FET Q1～Q5はMESFETであり、GaAs基板901上にイオン注入法により形成される。FET Q1～Q5のサイズは、ゲート長が0.5μmであり、ゲート幅が800μmである。図9に示すスイッチアッテネータ40を実現した半導体チップは、10ピンの樹脂モールドパッケージに封止されて供用される。

【0057】（実施の形態2）図10は、本発明によるスイッチアッテネータの第2の実施形態の回路図である。図10のFET Q1D、Q2D、Q3D、Q4DおよびQ5Dは、デュアルゲートFETである。FET Q1D～Q5Dの第1ゲートおよび第2ゲートには、それぞれゲートバイアス抵抗器R13およびR14と、R23およびR24と、R33およびR34と、R43およびR44と、R53およびR54とが接続されている。またFET Q1D～Q5Dの第2ゲートとドレインとの間には、それぞれコンデンサC13、C23、C33、C43およびC53が接続されており、FET

Q1D～Q5Dの第1ゲートとソースとの間には、それぞれコンデンサC14、C24、C34、C44およびC54が接続されている。

【0058】第2の実施形態は、シングルゲートFETの代わりにデュアルゲートFETが用いられていることと、ドレインと第2ゲートとの間、およびソースと第1ゲートとの間にコンデンサが接続されていることが第1の実施形態と異なる。第2の実施形態の構成によれば、FETのもつ非線形性を低減することができ、優れた歪特性を実現できる。

【0059】（実施の形態3）図11は、本発明のスイッチアッテネータの第3の実施形態が用いられる携帯電話機のRF部1100のブロック図である。本発明のスイッチアッテネータ1200は、送受信の状態に応じて、アンテナ130または131と、電力増幅器116または低雑音増幅器152とを電気的に結合する。

【0060】より具体的には、スイッチアッテネータ1200は、送信時にはノードT1およびT4のうちの1つをノードT2に電気的に結合し、ノードT3をグラウンドに電気的に結合し、ノードT1およびT4のうちノードT2に結合されていないノードを他のノードおよびグラウンドから遮断する。

【0061】またスイッチアッテネータ1200は、受信時にはノードT1およびT4のうちの1つをノードT3に電気的に結合し、ノードT2をグラウンドに電気的に結合し、ノードT1およびT4のうちノードT3に結合されていないノードを他のノードおよびグラウンドから遮断する。第3の実施形態は、第1の実施形態が単一のアンテナを用いたのと異なり、2つのアンテナ130および131を利用することができる。したがって第3の実施形態は、第1の実施形態の効果に加えて、2つのアンテナ130および131を送受信の状況に応じて選択的に利用できるという効果を有する。この第3の実施形態の構成は、例えば空間ダイバーシチ送受信を可能にする。なお図11のそれぞれのブロックを接続する伝送線路は、すべて50Ωの特性インピーダンスを有する。

【0062】図11および図12における制御電圧発生器CV2およびリードオンリーメモリROM2は、FETを制御する電圧を供給するノードがCT1～CT8であることを除いて、制御電圧発生器CV1およびリードオンリーメモリROM1と同様に機能する。

【0063】図12は、本発明によるスイッチアッテネータの第3の実施形態の回路図である。スイッチアッテネータ1200は、ノードT4を、ノードT2およびT3のうちの1つに電気的に結合するために、スイッチアッテネータ40の構成要素に加えて、FET Q6～Q8と、ゲートバイアス用の抵抗R62、R72およびR82と、ノードCT6～CT8と、インピーダンス整合用の抵抗R61とをさらに備えている。

【0064】次にスイッチアッテネータ1200の動作

$T3 = Z0$ なる関係が満たされなくとも、

$0.5 \times ZA \leq ZT1 \leq 2.0 \times ZA$ 、

$0.5 \times ZT \leq ZT2 \leq 2.0 \times ZT$ 、

$0.5 \times ZR \leq ZT3 \leq 2.0 \times ZR$ 、および

$0.5 \times ZB \leq ZT4 \leq 2.0 \times ZB$

という関係が満たされることが好ましい。ここでインピーダンス ZB は、ノード $T4$ に接続される回路（ここではアンテナ131）の特性インピーダンスを表す。

【0076】以上説明した第1～第3の実施の形態では、FETをオンおよびオフの中間の状態に設定することにより、スイッチアッテネータに接続される回路の特性が変化した場合にも柔軟に対応することができる。このような接続される回路の特性変化は、例えば送信用の電力増幅器から出力される電力を変化させたときなどに起こりうる。

【0077】上記実施の形態では、例えば携帯電話機と基地局との間の通信で用いられる周波数帯において所望の特性インピーダンスが得られるが、この周波数帯には限定されず、広くRF帯に適用できる。

【0078】第2の実施の形態の開示に基づいて、第3の実施の形態のFETをデュアルゲートFETに置き換えることによって、優れた歪特性が実現できるというさらなる効果を得ることもできる。

【0079】本発明のスイッチアッテネータに用いられるFETは、ディプレッション型に限定されず、エンハンスメント型を用いてもよい。またFETは、上記実施形態ではMESFETであるがこれには限定されず、その制御端子によって電氣的にインピーダンスを制御できるデバイスであればよい。使用周波数、およびデバイス固有の寄生容量などの条件が許すのであれば、例えばPINダイオード、PN接合型FET、MOS型FETなどを用いてもよい。

【0080】また本発明によるスイッチアッテネータを電力増幅器または低雑音増幅器とともに半導体基板上に集積化して形成すれば、サイズおよびコストの低減を図ることができ、より好ましい。

【0081】制御電圧発生器CV1およびCV2と、リードオンリーメモリROM1およびROM2とは、本発明によるスイッチアッテネータのFETの状態をオン状態、中間状態およびオフ状態のいずれかの状態に設定するための制御電圧を発生できるのであれば、上記実施の形態で説明された構成には限られない。例えばデータをデジタル的に格納するメモリをもたない、プログラマブルな電圧発生器を用いてもよい。またリードオンリーメモリROM1およびROM2の代わりに、ランダムアクセスメモリを用いてもよい。

【0082】表2、表4、表6、表8、表10および表12に示すように、上述の実施の形態では、減衰ありの送信または受信時には、3個のFETを中間状態に設定している。しかし中間状態のFETの個数は、3個に限

られず、少なくとも1個のFETが中間状態であることによって所望の減衰量が得られればよい。

【0083】

【発明の効果】以上のように本発明によれば、高周波機器において、送信と受信の切り替えや複数のアンテナの切り替えと同時に減衰量を自由に制御することが、一つの半導体素子で実現でき、機器の小型軽量化や低コスト化が図れるという顕著な効果が得られる。

【図面の簡単な説明】

10 【図1】従来の技術による送受信回路の高周波部10のブロック図である。

【図2】従来の技術によるスイッチ20の回路図である。

【図3】本発明のスイッチアッテネータの第1の実施形態が用いられる携帯電話機のRF部30のブロック図である。

【図4】本発明によるスイッチアッテネータの第1の実施形態の回路図である。

20 【図5】モード1におけるスイッチアッテネータ40の等価回路図である。

【図6】モード2におけるスイッチアッテネータ40の等価回路図である。

【図7】モード3におけるスイッチアッテネータ40の等価回路図である。

【図8】モード4におけるスイッチアッテネータ40の等価回路図である。

【図9】半導体基板上に集積化して形成された本発明のスイッチアッテネータ40の平面図である。

30 【図10】本発明によるスイッチアッテネータの第2の実施形態の回路図である。

【図11】本発明のスイッチアッテネータの第3の実施形態が用いられる携帯電話機のRF部1100のブロック図である。

【図12】本発明によるスイッチアッテネータの第3の実施形態の回路図である。

【図13】モード1におけるスイッチアッテネータ1200の等価回路図である。

【図14】モード2におけるスイッチアッテネータ1200の等価回路図である。

40 【図15】モード3におけるスイッチアッテネータ1200の等価回路図である。

【図16】モード4におけるスイッチアッテネータ1200の等価回路図である。

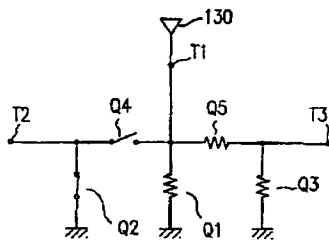
【図17】モード5におけるスイッチアッテネータ1200の等価回路図である。

【図18】モード6におけるスイッチアッテネータ1200の等価回路図である。

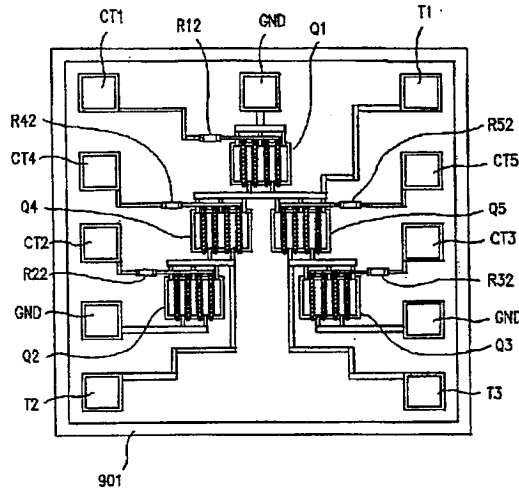
【図19】モード7におけるスイッチアッテネータ1200の等価回路図である。

50 【図20】モード8におけるスイッチアッテネータ12

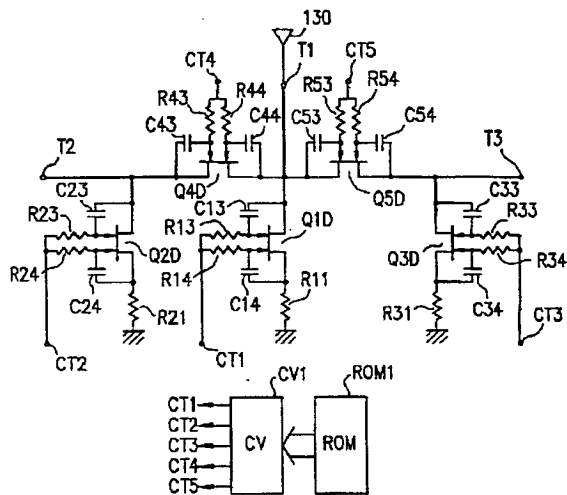
【図8】



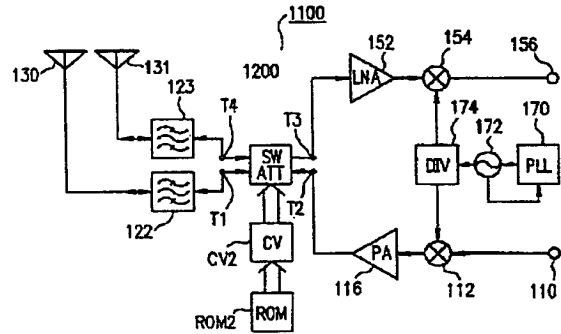
【図9】



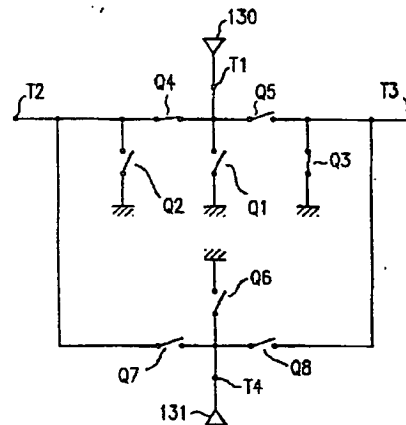
【図10】



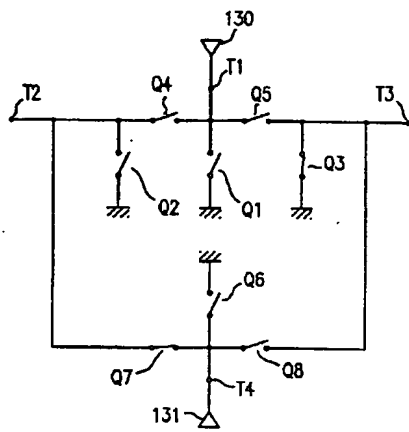
【図11】



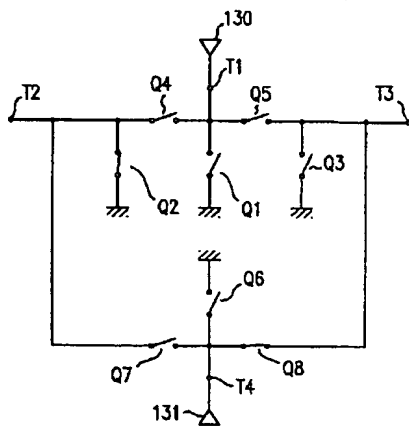
【図13】



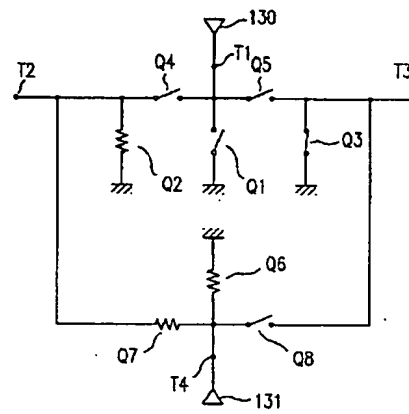
【図17】



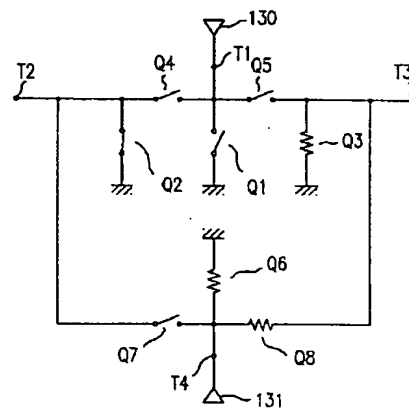
【図19】



【図18】



【図20】



LIST OF DOCUMENTS CITED

- (1) Japanese Laid-Open Patent Application No. 09-270659